



PATENT
81912.0009

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

SUGAWARA, et al.

Serial No: 10/806,681

Filed: March 23, 2004

For: Group-III Nitride Semiconductor
Stack, Method of Manufacturing
the Same, and Group-III Nitride
Semiconductor Device

Art Unit: 2811

Examiner: Not Assigned

I hereby certify that this correspondence
is being deposited with the United States
Postal Service with sufficient postage as
first class mail in an envelope addressed
to:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450, on

June 16, 2004

Date of Deposit

Shindale Ferguson

Name

Signature

June 16, 2004

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application
No. 2003-079387, which was filed March 24, 2003, from which priority is claimed
under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to
ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: June 16, 2004

By: 

Anthony J. Orler

Registration No. 41,232

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 9 3 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 9 3 8 7]

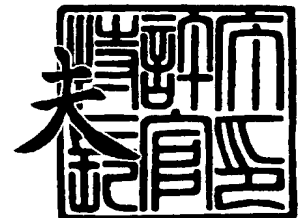
出 願 人 株式会社東芝
Applicant(s):



2 0 0 3 年 9 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 ADB0220161

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明の名称】 3 族窒化物半導体の積層構造、その製造方法、及び 3 族窒化物半導体装置

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 菅原 秀人

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 平塚 恒則

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

●

【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 3族窒化物半導体の積層構造、その製造方法、及び3族窒化物半導体装置

【特許請求の範囲】

【請求項1】 単結晶基板と、

この単結晶基板の主面上に形成された3族窒化物バッファ層と、
この3族窒化物バッファ層上に形成された第1の3族窒化物層と、
この3族窒化物層上に形成され、且つ3族元素組成が連続的に変化された窒化物からなるグレーデッド低温堆積層と、
このグレーデッド低温堆積層上に形成された第2の3族窒化物層と、
を有することを特徴とする3族窒化物半導体の積層構造。

【請求項2】 前記グレーデッド低温堆積層は、前記第1の3族窒化物層と前記第2の3族窒化物層に組成的に連続して、且つ組成比 x が0と1の間で変化する $Al_xGa_{1-x}N$ の組成式で表されることを特徴とする請求項1記載の3族窒化物半導体の積層構造。

【請求項3】 前記第1の3族窒化物層はアンドープ GaN 層であり、前記第2の3族窒化物層は*S i*ドープ*n*型 GaN 層であることを特徴とする請求項1または2に記載の3族窒化物半導体の積層構造。

【請求項4】 単結晶基板の主面上に3族窒化物バッファ層を形成する工程と、
この3族窒化物バッファ層上に第1の3族窒化物層を形成する工程と、
この第1の3族窒化物層上に成長を中断させることなく3族元素組成を連続的に変化させたグレーデッド低温堆積層を形成する工程と、
このグレーデッド低温堆積層上に成長を中断させることなく第2の3族窒化物層を形成する工程と、
を有することを特徴とする3族窒化物半導体の積層構造の製造方法。

【請求項5】 前記グレーデッド低温堆積層は、前記第1の3族窒化物層と前記第2の3族窒化物層に組成的に連続して、且つ組成比 x が0と1の間で変化する $Al_xGa_{1-x}N$ の組成式で表されることを特徴とする請求項4記載の3族窒化物半導体の積層構造の製造方法。

【請求項 6】 前記第 1 の 3 族窒化物層はアンドープ GaN 層であり、前記第 2 の 3 族窒化物層は Si ドープ n 型 GaN 層であることを特徴とする請求項 4 または 5 に記載の 3 族窒化物半導体の積層構造の製造方法。

【請求項 7】 前記グレーディッド低温堆積層は、前記第 1 の 3 族窒化物層の形成温度に連続して、制御された連続的な降温と連続的な昇温を行ないながら、原料供給を途切れることなく連続して供給して形成することを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の 3 族窒化物半導体の積層構造の製造方法。

【請求項 8】 前記降温は前記第 1 の 3 族窒化物層の成長温度から 500℃乃至 650℃の成長最低温度までの温度範囲であり、昇温は前記成長最低温度から前記第 2 の 3 族窒化物層の形成温度までの温度範囲であることを特徴とする請求項 7 記載の 3 族窒化物半導体の積層構造の製造方法。

【請求項 9】 前記グレーディッド低温堆積層は、前記第 1 の 3 族窒化物層の成長温度に連続して、制御された連続的な降温を行ないながら、原料供給を途切れることなく連続して供給して形成することを特徴とする請求項 4 記載の 3 族窒化物半導体の積層構造の製造方法。

【請求項 10】 前記降温は前記第 1 の 3 族窒化物層の成長温度から 500℃乃至 650℃の成長最低温度までの温度範囲であることを特徴とする請求項 9 記載の 3 族窒化物半導体の積層構造の製造方法。

【請求項 11】 単結晶基板と、
この単結晶基板の主面上に形成された 3 族窒化物バッファ層と、
この 3 族窒化物半導体バッファ層上に形成されたアンドープ 3 族窒化物層と、
このアンドープ 3 族窒化物層上に形成され、且つ 3 族元素組成が連続的に変化されたグレーディッド低温堆積層と、
このグレーディッド低温堆積層上に形成された n 型 3 族窒化物コンタクト／クラッド層と、
この n 型 3 族窒化物コンタクト／クラッド層上に形成された 3 族窒化物 MQW 活性層と、
この 3 族窒化物 MQW 活性層上に形成された p 型 3 族窒化物クラッド層と、
この p 型 3 族窒化物クラッド層上に形成された p 型 3 族窒化物コンタクト層と、

を有することを特徴とする 3 族窒化物半導体装置。

【請求項 12】 前記アンドープ 3 族窒化物層は GaN 層であり、前記グレーデッド低温堆積層は組成比 x が 0 と 1 の間で変化する $Al_xGa_{1-x}N$ であり、前記 n 型 3 族窒化物コンタクト／クラッド層は Si ドープ GaN 層であることを特徴とする請求項 9 に記載の 3 族窒化物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、結晶欠陥密度が低減された 3 族窒化物半導体の積層構造、その製造方法、及び 3 族窒化物半導体装置に関する。

【0002】

【従来の技術】

3 族窒化物半導体を用いた半導体素子は、可視から紫外に至る領域の光に対して発光・受光能力を有しており、近年、その一部は実用化されている。

【0003】

3 族窒化物半導体は、光学遷移が直接遷移型であるため、高効率発光再結合が可能であり、また、その遷移エネルギーが 2 ～ 6.2 eV と広く、半導体レーザー (LD) あるいは高輝度可視発光素子 (LED) などの高効率発光素子材料としてその開発が行われている。そして、窒化ガリウム (GaN) 系半導体は、3-5 族化合物半導体として紫外域波長における発光が可能であり、既存の紫外光源に置き換えられることも可能と考えられている。

【0004】

3 族窒化物半導体は、 $In_{1-x-y}Al_xGa_yN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) の一般式で表される。その中には、 InN 、 AlN 、 GaN 、 $In_{1-y}Ga_yN$ 、 $Al_xGa_{1-x}N$ 等が含まれる。なお、組成比 (x 、 y 等) を省略して、化合物の構成元素のみを示す場合は、その構成元素からなる系を示している。例えば、 $InGaN$ は、一般的に $In_{1-y}Ga_yN$ と記載される系を表す。

【0005】

3 族窒化物半導体のひとつである $In_xGa_{1-x}N$ は、 In 組成 x を変化させる

ことによりバンドギャップエネルギーを GaN の 3.4 eV から InN の 2 eV まで変えることができ、可視 LED の活性層として用いることができる。

【0006】

現在のところ、この $InGaN$ 混晶を発光層とした LED が実現され、また LED においても電流注入においてレーザ発振が実現されている。しかしながら、 In 組成 x の小さい (~ 0.05 以下) 結晶を活性層とした LED では、発光機構が異なることから高効率化が難しいという現象がある。

【0007】

一方、 $Al_yGa_{1-y}N$ 半導体は、 Al 組成 y を変化させることにより 3.4 から 6.2 eV の間でバンドギャップエネルギーを変えることができ、紫外発光材料として有望であるが、 $InGaN$ 半導体のように In に関する特異な発光機構を持たないことから高効率の発光を得ることが難しいという現象がある。

【0008】

これら可視から紫外発光材料の 3 族窒化物半導体は、共通して、結晶中に多く存在する結晶欠陥の影響を大きく受けることが問題である。つまり注入されたキャリアが結晶欠陥において発光を伴わない再結合を起こし、これが発光効率低下に結びつくという問題である。

【0009】

ところで、このような 3 族窒化物半導体の結晶成長には、有機金属気相成長法 (MOCVD 法、または、MOVPE 法ともいう)、分子線エピタキシー法 (MBE 法) が一般に使われている。

【0010】

以下、MOCVD 法を用いた従来の代表的な 3 族窒化物半導体の成長方法について説明する。

【0011】

基板としては、3 族窒化物半導体と格子定数差や熱膨張係数差の小さな、エピタキシャル成長に都合の良い、基板材料が得にくい状況にあるため、結晶成長雰囲気中での安定性や価格などの観点から便宜上単結晶のサファイアが多く使用される。このサファイア基板を反応炉内に載置し、サファイア基板の温度を 400

～600℃の低温に保った状態で、有機金属のトリメチルガリウム（TMG）、アンモニア（NH₃）を、水素をキャリアガスとしてサファイア基板上に供給して、GaNバッファ層を成長する。その後、LED等の素子構造に必要な結晶層、例えば、GaN単結晶層を成長する場合には、サファイア基板温度を1000～1100℃に上げて、GaNバッファ層上に、アンモニアとTMGを供給して成長する。Alを成分元素に持つ、例えば、AlGaN系単結晶を成長する場合には、更にトリメチルアルミニウム（TMA）を原料に加えて成長する。

【0012】

しかしながら、この3族窒化物半導体の成長方法では、サファイア基板上に成長したGaN結晶中には多くの結晶欠陥が存在するという問題がある。

【0013】

その一つは、格子定数差に起因する歪により導入されるものであり、他の一つは、成長温度から室温まで冷却する過程において、サファイア基板と成長層の熱膨張差に起因する歪により導入されるものである。発光効率の高い発光素子を作製するには、この結晶欠陥を低減する必要がある。特に、紫外発光素子においては、結晶欠陥を低減することが重要な課題となっている。

【0014】

これまで、結晶欠陥の低減、すなわち、基板側からその上に成長した半導体層への転位の伝播を防ぐ目的で、パターニングマスクと横方向（積層方向に対して垂直方向）成長を組み合わせた成長法が多く用いられている。

【0015】

しかしながら、この方法では、マスクを形成する工程と、その前後、合計二回のMOCVD結晶成長（一回の結晶成長とは、MOCVD装置内への基板の装着から始まり、結晶成長後、MOCVD装置から外へ取り出す一連の操作をいう）が必要であり、成長工程時間の延長は避けられず、発光素子のコスト上昇につながる問題があった。

【0016】

また、この改善策として、一回成長での結晶欠陥を低減するための技術として、図10に示すように、サファイア基板51の上に、400℃～500℃の低温

でバッファ層 52 を成長し、その上に、アンドープ GaN 層 53 を 1000℃～1100℃ でエピタキシャル成長する方法が採られているが、この成長方法では、結晶欠陥の低減が不十分であった。

【0017】

近年、このような問題を解決するために、1 回の成長で、しかも結晶欠陥を低減する技術として、低温堆積層によって転移の上層への伝播を防ぐようにする方法が提案されている（例えば、非特許文献 1 参照。）。

【0018】

この非特許文献 1 に開示された半導体の積層構造は、図 11 (a) に示すように、サファイア基板 61 上に低温 (400℃) で AlN からなる第 1 の低温堆積層であるバッファ層 62 を成長させ、その上に高温 (1050℃) でアンドープ GaN 層 63 を成長させ、次に低温 (400℃) で AlN からなる第 2 の低温堆積層 64 を成長させ、その上に高温 (1050℃) でアンドープ GaN 層 65 を成長させている。この積層構造は、高温成長による 2 層のアンドープ GaN 層 63、65 の間に、第 2 の低温堆積層 64 を挟んだ構造と見ることができる。

【0019】

そして、この非特許文献 1 には、第 1 および第 2 の低温堆積層 62、64 は、AlN あるいは GaN のどちらでもその上層の GaN 層 63 の結晶欠陥の低減に効果があると報告されており、Al か Ga かという組成より、結晶欠陥の低減には、第 2 の低温堆積層 64 を新たに設けたことが重要と考えられている。

【0020】

この非特許文献 1 の積層構造とその積層方法を更に詳しく見るために、図 11 (a) に積層構造を示し、図 11 (b) に原料ガスの供給状態及び基板温度を、図 11 (a) の積層構造に対応させて示す。なお、図中、成長中断と示したところでは、下側の層の成長終了とその上の層の成長開始までに時間的な隔たりがあることを示している。

【0021】

すなわち、図 11 (a) のサファイア基板主面上の各層の成長においては、その前に成長中断を伴っている。この第 2 の低温堆積層 64 の成長方法は、下地の

アンドープGaN層63を基板温度1050℃で成長後に、Ga原料の供給を一旦停止、つまり、成長中断し、基板温度を第2の低温堆積層64の成長温度400℃に下げて、安定させた後、再びGa原料（AlN成長のときはAl原料）を供給して成長を行う。

【0022】

次に、低温堆積層64を成長し、その後、成長原料であるGa原料（AlN成長のときはAl原料）の供給を一旦停止、つまり、成長中断し、基板温度をアンドープGaN層の成長温度1050℃に上げて安定させた後、再びGa原料を供給して成長を行う。

【0023】

しかしながら、この方法では、この一連の結晶成長工程で、成長中断している降温途中に、アンドープGaN層63の露出した表面では、3族のGaのトランスポートや、5族のNの抜けが発生して表面の変質が起こる。

【0024】

そして、この変質したアンドープGaN層63上に第2の低温堆積層64を成長し、再び成長中断にて基板温度の昇温を行うと、第2の低温堆積層64からのN抜けやGaトランスポート等の表面の変質がより顕著に起こり、第2の低温堆積層64の膜厚を均一、かつ平坦に成長することが困難である。

【0025】

その上、Nの抜けやGaトランスポート等は偶発的に起こるために、ロット毎の再現性が乏しくなる。従って、信頼性がよく、且つ結晶欠陥が低減されたアンドープGaN層を形成するという目的を達成することができないことが分かった。

【0026】

【非特許文献1】

Motoaki Iwaya, et al., Jpn. J. Appl. Phys. vol. 37(1998)pp. L316-L318

【0027】

【発明が解決しようとする課題】

上述したように、従来の成長方法では、サファイア基板上に成長したGaN結

晶中には多くの結晶欠陥が存在する。

【0028】

また、非特許文献1には、結晶欠陥の低減対策として、サファイア基板の直上に低温のバッファ層を成長、その上に順に、高温成長のアンドープGaN層、低温堆積層、高温成長のアンドープGaN層を形成する方法が開示されている。しかしながら、本発明者らの実験によれば、この低温堆積層を形成する一連の工程では、成長中断のため、低温堆積層の平坦性や膜厚の均一性の制御、及び実験ロット毎の再現性を確保することが困難で、低温堆積層上のアンドープGaN層の再現性及び結晶欠陥の低減化が難しいことが分かった。

【0029】

本発明は、一回の結晶成長工程で、表面が平坦で、膜厚が制御され、再現性が良く、結晶欠陥が低減された3族窒化物半導体の積層構造、その製造方法、及び高発光効率を有する3族窒化物半導体装置を提供することを目的とする。

【0030】

【課題を解決するための手段】

上記目的を達成するために、本発明の3族窒化物半導体の積層構造は、単結晶基板と、この単結晶基板の主面上に形成された3族窒化物バッファ層と、この3族窒化物バッファ層上に形成された第1の3族窒化物層と、この第1の3族窒化物層上に形成され、且つ3族元素組成が連続的に変化した窒化物からなるグレーデッド低温堆積層と、このグレーデッド低温堆積層上に形成された第2の3族窒化物層とを有することを特徴とする。

【0031】

また、本発明の3族窒化物半導体の積層構造の製造方法は、単結晶基板の主面上に3族窒化物バッファ層を形成する工程と、この3族窒化物バッファ層上に第1の3族窒化物層を形成する工程と、この第1の3族窒化物層上に成長を中断させることなく3族元素組成を連続的に変化したグレーデッド低温堆積層を形成する工程と、このグレーデッド低温堆積層上に成長を中断させることなく第2の3族窒化物層を形成する工程とを有することを特徴とする。

【0032】

本発明によれば、一回の結晶成長工程で、表面が平坦で、膜厚が制御され、再現性が良く、結晶欠陥が低減された 3 族窒化物半導体の積層構造が得られる。

【0033】

また、本発明の 3 族窒化物半導体装置は、単結晶基板と、この単結晶基板の主面上に形成された 3 族窒化物バッファ層と、この 3 族窒化物半導体バッファ層上に形成されたアンドープ 3 族窒化物層と、このアンドープ 3 族窒化物層上に形成され、且つ 3 族元素組成が連続的に変化されたグレーディッド低温堆積層と、このグレーディッド低温堆積層上に形成された n 型 3 族窒化物コンタクト／クラッド層と、この n 型 3 族窒化物コンタクト／クラッド層上に形成された 3 族窒化物 MQW 活性層と、この 3 族窒化物 MQW 活性層上に形成された p 型 3 族窒化物クラッド層と、この p 型 3 族窒化物クラッド層上に形成された p 型 3 族窒化物コンタクト層とを有することを特徴とする。

【0034】

本発明によれば、高発光効率の 3 族窒化物半導体装置を得ることができる。

【0035】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【0036】

（第 1 の実施の形態）

まず、本発明の第 1 の実施の形態に係る 3 族窒化物半導体の積層構造、およびその製造方法について、図 1 乃至図 3 を参照して説明する。

【0037】

図 1（a）は第 1 の実施の形態の 3 族窒化物半導体の積層構造を模式的に示す断面図、図 1（b）はそれを実現するための成長プロセスのチャートで、図中の左端から 3 番目までのチャートは各原料ガス供給タイミングを示し、右端のチャートは基板温度を示す。図 1（b）において、縦軸は図 1（a）の積層構造に対応した成長膜厚、すなわち成長中断を除いた成長時間の経過を示し、横軸は各原料ガス別の供給状態と基板温度を示し、横軸の目盛 0 は原料供給をストップした状態、0（ゼロ）より右側では原料ガスの供給状態を示し、右に行くほど供給量

が増加することを示すが、基板温度あるいは成長速度に対応した供給量の増減までは示していない。また、図1(b)の右端の基板温度を示すチャートでは、横軸に温度を表す。

【0038】

なお、本実施の形態においては、3族窒化物半導体の結晶成長には、MOCVD装置を使用する。また、単結晶基板としてサファイア基板を用い、Ga原料としてトリメチルガリウム(TMG)、Al原料としてトリメチルアルミニウム(TMA)、N原料としてアンモニア(NH₃)を用いる。

【0039】

図1(a)の積層構造の作製では、まず、MOCVD装置内にサファイア基板11を載置し、基板温度を500℃に維持した状態で、MOCVD装置内にTMGとNH₃を供給してサファイア基板11上に3族窒化物であるGaNのバッファ層12を成長させる。

【0040】

次に、MOCVD装置内をアンモニア雰囲気状態に保って、サファイア基板11の温度を1100℃に昇温させて、TMGの供給を行うことにより、バッファ層12上に第1の3族窒化物であるアンドープGaN層13の成長を行う。なお、サファイア基板11の温度が1100℃に昇温するまでの間は、成長中断している。

【0041】

次に、サファイア基板11の温度を1100℃から600℃に向かって徐々に制御下で連続的に下降させると共に、TMAの供給開始とTMGの供給量低減を同時に始める。そのTMGの流量を一定の割合で徐々に減少させると共に、TMGの減少に見合うTMAの流量を徐々に増加させ、Al_xGa_{1-x}NのAl組成比を1100℃の0から600℃の1へ徐々に変化させたグレーデッド低温堆積層14aをアンドープGaN層13上に成長させる。

【0042】

サファイア基板11の温度が600℃に到達した後、再び、温度を1100℃に向けて制御下で連続的に上昇させると共に、逆にTMGの流量を一定の割合で

徐々に増加させると共に、TMGの増加に見合うTMAの流量を徐々に減少させ、Al組成比を所定供給量から0へ、Ga組成比を0から所定供給量へ徐々に変化させて、 $Al \times Ga_{1-x}N$ のAl組成比を600℃の1から1100℃の0へ徐々に変化させたグレーディッド低温堆積層14bを成長させる。

【0043】

そして、1100℃に昇温したサファイア基板温度で、TMGの供給を止めることなく第2の3族窒化物であるアンドープGaN層15の成長を行うことにより、図1(a)の積層構造を完成する。ここでは、一例として各層の膜厚は、それぞれ、バッファ層12が30nm、アンドープGaN層13が1μm、グレーディッド低温堆積層14a、14bの合計が50nm、アンドープGaN層15が1μmに形成される。

【0044】

次に、上記本実施の形態の積層構造における結晶欠陥密度の低減効果を確認するために、図10に示すグレーディッド低温堆積層を持たない従来の3族窒化物半導体の積層構造を作製して、これと比較する。ここで、結晶欠陥密度の評価は、360℃に加熱熔融したKOHに、30秒浸漬して、結晶表面をエッチングし、エッチングによるエッチピットを電子顕微鏡にて観察し、その密度を評価する方法を採る。

【0045】

その観察結果は、図10の従来の積層構造のアンドープGaN層表面では、 5×10^7 (個/cm²)であった。一方、本実施の形態のアンドープGaN層表面では、 5×10^6 (個/cm²)であり、エッチピット密度が約1桁低減されていることが確認できた。

【0046】

この結果から、本実施の形態の積層構造では、アンドープGaN層表面の結晶欠陥密度は低減され、また、繰り返し行った同様な実験においてその再現性は確認された。

【0047】

また、本実施の形態の積層構造において、グレーディッド低温堆積層14の膜

厚および基板温度をそれぞれ変化させた時の、エッチピット密度との関係を図 2 及び図 3 に示す。

【0048】

まず、図 2 はグレーディッド低温堆積層の膜厚とエッチピット密度の関係を表すグラフで、グレーディッド低温堆積層 14 の膜厚を横軸に、エッチピット密度の変化を縦軸に示している。ここでいう膜厚とは、図 1 の成長プロセスチャートにて TMA を供給し始めてから供給を止めるまでに成長する膜厚を意味している。

【0049】

図 2 から明らかなように、エッチピット密度は、膜厚が厚くなると顕著に増加することから、グレーディッド低温堆積層 14 は、その膜厚を 10 ～ 70 nm の範囲内に形成することが望ましい。

【0050】

また、図 3 はグレーディッド低温堆積層の基板温度とエッチピット密度の関係を表すグラフで、グレーディッド低温堆積層の基板温度を横軸、エッチピット密度の変化を縦軸に示している。ここでいう基板温度とは、降温の最低点の温度で、図 1 の成長プロセスチャートにおける 600℃に対応した温度である。

【0051】

図 3 から明らかなように、エッチピット密度は、基板温度が 550℃より低くなると顕著に増加する傾向にある。この結果、成長において、最低の基板温度（成長最低温度）としては、500～650℃の範囲に設定することが望ましい。

【0052】

上述したように、この第 1 の実施の形態によれば、グレーディッド低温堆積層 14 を A1 組成比がサファイア基板 11 側から成長方向に向かって徐々に増加、次に徐々に減少する A1GaIn 層であり、且つその成長は基板温度が徐々に降下する降温状態、または徐々に上昇する昇温状態において成長させている。言い換えると、本実施の形態の積層構造では、成長中断の無い連続成長によってグレーディッド低温堆積層 14 とその上下のアンドープ GaN 層 13、15 を形成している。成長中断がないために、特に高温での露出表面の変質、つまり、N の抜け

やGaトランスポート等が起こらず平坦な層形成ができ、その上に形成した低温堆積層の表面が平坦で、膜厚が制御され、また、偶発性があるNの抜けやGaトランスポート等が抑制されるために、その上層のアンドープGaN層の結晶欠陥の低減を再現性良く実現できる3族窒化物半導体の積層構造を形成することができる。

【0053】

なお、本実施の形態の変形として、グレーディッド低温堆積層の形成を、1100℃からの600℃までの降温時にのみ行うことができる。これは、図1(a)を参照して説明すると、グレーディッド低温堆積層14aのみを形成して、グレーディッド低温堆積層14bは形成しない場合に相当する。

【0054】

この場合には、次のアンドープGaN層15の成長に向けて、600℃から1100℃に昇温する時に、成長中断が発生するため、上記実施の形態の降温・昇温の両方での連続成長する場合に比較して、エッチピット密度が倍程度に増加する。それでも、非特許文献1に開示された方法に基く積層構造に比較すると、アンドープGaN層15のエッチピット密度は改善される。

【0055】

詳細なメカニズムは不明であるが、600℃から1100℃に昇温する時の成長中断は、1100℃からの600℃までの降温時に比較して、グレーディッド低温堆積層の表面の変質を起こす程度は小さいと推測できる。しかしながら、結晶欠陥密度を最小限に抑制するためには、グレーディッド低温堆積層は降温・昇温の両方での連続成長を行うことが望ましい。

【0056】

(第2の実施の形態)

次に、本発明の第2の実施の形態に係る3族窒化物半導体の積層構造およびその製造方法について、図4乃至図8を参照して説明する。本実施の形態は、3族窒化物半導体LEDに適用可能な積層構造の例である。

【0057】

図4は標準的に採用されている3族窒化物半導体LED構造を示す。図5は、

図4のLED構造において、光素子として発光する活性層157を形成するための下地層としての積層構造、図6は本実施の形態に係る下地層の積層構造、図7は積層構造の中間層であるアンドープGaN層の膜厚と表面エッチピット密度との関係を示すグラフで、図中の実線は図5に示すグレーデッド低温堆積層のない積層構造を示し、破線は図6に示す本実施の形態のグレーデッド低温堆積層を有する積層構造を示す。図8は、グレーデッド低温堆積層とSiドープGaN層間にアンドープGaN層を介在させた積層構造におけるアンドープGaN層の効果を説明するための図である。

【0058】

まず、現在、標準的に採用されている3族窒化物半導体LEDは、図4に示すように、サファイア基板151上に、バッファ層152、n-GaNコンタクト／クラッド層156、InGaN系MQW活性層157、p-AlGaNクラッド層158、p-GaNコンタクト層159がこの順序で積層形成され、n-GaNコンタクト層156上には、n側電極251が、またp-GaNコンタクト層159上には、p側電極252がそれぞれ形成された構造となっている。

【0059】

この構造の3族窒化物半導体LEDにおいて、発光特性を向上させるためには、InGaN系MQW活性層157の下地層である積層構造のn-GaNコンタクト／クラッド層156中の結晶欠陥を少なくする必要がある。

【0060】

そこで、本発明者らは、まず、図5に示す積層構造を作製した。この積層構造は、サファイア基板21上に、バッファ層22、その上にn-GaNコンタクト／クラッド層として使用するためのSiドープn-GaN層26を形成したもので、これは図10に示した積層構造におけるバッファ層52上のアンドープGaN層53をSiドープn-GaN層26に代えたものである。なお、このSiドープn-GaN層26のキャリア濃度は、 $3 \times 10^{18} \text{ (cm}^{-3}\text{)}$ 、膜厚は2 μm としている。

【0061】

次に、この図5に示す積層構造について、まず、Siドープn-GaN層26

表面を顕微鏡等で観察したところ、平坦性は比較的よいが、変質を表す荒れが少し見られた。

【0062】

次に、この積層構造のSiドーピングn-GaN層26表面のエッチピット密度の評価を上述と同様の方法で行なった。

【0063】

その結果、Siドーピングn-GaN層26のエッチピット密度は、 1×10^8 (個/cm²)で、第1の実施の形態にて述べたグレーディッド低温堆積層を形成していないアンドーピングGaN層と比べると2倍であった。これは、Siをドーピングすることによってエッチピット密度が増加することを示している。このことから、実デバイスであるLEDにおいて、Siドーピングn-GaN層26をn-GaNコンタクト／クラッド層156として使用するためには、このSiドーピングn-GaN層26における結晶欠陥の低減は、発光の高効率化に向けて一層重要であることが分かる。

【0064】

そこで、本実施の形態の積層構造では、図6に示すように、サファイア基板31上に、低温堆積のバッファ層32、アンドーピングGaN層33、グレーディッド低温堆積層34、n-GaNコンタクト／クラッド層としてのSiドーピングn-GaN層36をこの順序で順次成長させる。

【0065】

各層の成長プロセスは、図1に示す成長プロセスチャートに準じて、原料の供給、基板温度の降温、昇温を行ない、続いて成長中断をすることなく、Siドーピングn-GaN層36を成長させる。このSiドーピングn-GaN層36成長には、基板温度は1100℃で、Siドーピング用のSiH₄ガスを供給して行う。

【0066】

この本実施の形態の積層構造について、まず、表面を顕微鏡等で観察したところ、Siドーピングn-GaN層36の平坦性はよく、変質を表す荒れ等は見られなかった。

【0067】

次に、この積層構造のSiドープGaN層36表面のエッチピット密度の評価を上述と同様な方法により行なった。その結果、Siドープn-GaN層36のエッチピット密度は、 7×10^6 (個/cm²)で、図5に示す積層構造の場合におけるエッチピット密度と比較すると一桁以上、低減されている。

【0068】

また、本発明者らは、図6に示す積層構造の中間の位置にあるアンドープGaN層33の膜厚を変化させた一連の実験で、このアンドープGaN層33がSiドープn-GaN層36の結晶欠陥密度に影響を与えることを見出した。その結果を図7に示す。図7は、アンドープGaN層33の膜厚を横軸に、Siドープn-GaN層36の表面のエッチピット密度を縦軸に表すグラフで、図中、実線は従来の積層構造（図5の積層構造）の場合、点線は本実施の形態の積層構造（図6の積層構造）場合を示す。

【0069】

図7において、実線で示す従来の積層構造について見ると、エッチピット密度は、アンドープGaN層26の膜厚を厚くするに従い低減して行き、膜厚が8 μ m程度で最低値を示す。膜厚8 μ m程度でエッチピット密度が最小を示す要因は明らかではない。実線で示す曲線がスムーズさに欠けるのは、積層構造の表面の変質が成長条件の微妙な変化で起こる結果、エッチピット密度分布にも現れていると推測される。

【0070】

一方、図7において、点線で示す本実施の形態による積層構造では、エッチピット密度は、7 μ m付近に最低値を示し、従来の積層構造に比べて1桁程度以上低減していることがわかる。点線で示す曲線がスムーズなのは、表面の変質が起こらず、エッチピット密度分布そのものを反映している結果と考えられる。従って、アンドープGaN層33は、4～10 μ mと比較的厚く成長し、しかも併せて、グレーディッド低温堆積層34を形成することで、エッチピット密度の最小化を図ることができることが分かった。

【0071】

図8は、グレーディッド低温堆積層44とSiドープn-GaN層46間にア

ンドープGaN層45を挿入した積層構造を示す。すなわち、本積層構造では、サファイア基板41上に、バッファ層42、アンドープGaN層43、グレーディッド低温堆積層44、アンドープGaN層45と成長して、その上にSiドープn-GaN層46を成長している。

【0072】

各層の成長プロセスは、図1の成長プロセスチャートに準じて、原料の供給、基板温度の降温、昇温を行ない、Siドープn-GaN層46の成長は、基板温度1100℃で、Siドープ用のSiH₄ガスを供給して行なう。

【0073】

この積層構造について、まず、表面を顕微鏡等で観察したところ、Siドープn-GaN層46の平坦性はよく、変質を表す荒れ等は見られなかった。

【0074】

次に、この積層構造のSiドープn-GaN層46表面のエッチピット密度の評価を上述と同様の方法により行なった。その結果、グレーディッド低温堆積層44の効果と、その下層のアンドープGaN層43の膜厚の効果は、変わらずに得られ、Siドープn-GaN層46の表面のエッチピット密度は、図6に示す積層構造と同じ 7×10^6 (個/cm²)で、グレーディッド低温堆積層を挿入してない従来の積層構造のエッチピット密度と比較すると一桁以上の低減となっている。

【0075】

図8に示す積層構造では、図6に示す積層構造に対して、アンドープGaN層45をグレーディッド低温堆積層44とSiドープn-GaN層46の間に追加しているが、この追加による効果は、特に見当たらない。

【0076】

従って、アンドープGaN層45をグレーディッド低温堆積層44の次に成長する必要は必ずしもないことが分かる。これは、グレーディッド低温堆積層44上のSiドープn-GaN層46が、従来の積層構造におけるアンドープGaN層26に代わって同様の効果をもたらしていると考えられ、実際のLED構造の作製においては、グレーディッド低温堆積層44上のアンドープGaN層45を

省略してもよいことを意味している。

【0077】

上述したように、本実施の形態の積層構造においては、サファイア基板31の上に、順次、バッファ層32、 $4\sim 10\mu\text{m}$ と比較的厚いアンドープGaN層33、グレーディッド低温堆積層34、Siドープn-GaN層36を成長することによって、Siドープn-GaN層36のエッチピット密度を 7×10^6 (個/ cm^2)に低減できる。

【0078】

本実施の形態の積層構造の製造では、サファイア基板31側のアンドープGaN層33、グレーディッド低温堆積層34、及びSiドープn-GaN層36を成長中断なく連続成長している。従って、特に高温での露出表面の変質、つまり、Nの抜けやGaトランスポート等が起こらず平坦となり、その上に形成した低温堆積層の表面も平坦で、膜厚が制御され、また、偶発性があるNの抜けやGaトランスポート等が抑制されるために、Siドープn-GaN層は再現性良く、しかも結晶欠陥が低減される。

【0079】

更に、グレーディッド低温堆積層上にアンドープGaN層を設けることなく、Siドープn-GaN層を成長させることができ、実際の3族窒化物半導体LEDの作製においては、工程の短縮を図ることができる。

【0080】

(第3の実施の形態)

次に、本発明の第3の実施の形態について、図9を参照して説明する。本実施の形態は、上記第2の実施の形態に係る下地層としての積層構造を3族窒化物半導体LEDに適用した例である。図9は、本発明の第3の実施の形態に係る3族窒化物半導体LEDを模式的に示す構造図である。

【0081】

図9に示すように、本実施の形態の3族窒化物半導体LEDでは、サファイア基板111上に、バッファ層112、アンドープGaN層113、グレーディッド低温堆積層114、n-GaNコンタクト/クラッド層116、InGaN系

MQW活性層117、p-AlGa_Nクラッド層118、p-GaNコンタクト層119がこの順序で積層形成されている。そして、n-GaNコンタクト／クラッド層116上には、n側電極211が、また、p-GaNコンタクト層119上には、p側電極212がそれぞれ形成されている。

【0082】

本実施の形態の3族窒化物半導体LEDは、MOCVD装置を用いて、一回成長にて作製される。すなわち、図1の成長条件に従って、例えば、MOCVD装置内にサファイア基板111を載置し、基板温度を500℃でGa_Nのバッファ層112を成長させ、次に、MOCVD装置内をアンモニア雰囲気状態に保って、サファイア基板111温度が1100℃に昇温されるまで待って、アンドープGa_N層113を成長させる。

【0083】

次に、成長中断をもたらすことなく、サファイア基板111の温度を1100℃から600℃に向かって徐々に制御下で連続的に下降させると共に、TMAの供給開始とTMGの供給量低減を同時に始め、そのTMGの流量を一定の割合で徐々に減少させると共に、TMGの減少に見合うTMAの流量を徐々に増加させ、Al_xGa_{1-x}NのAl組成比を1100℃の0から600℃の1へ徐々に変化させたグレーディッド低温堆積層114を成長させ、サファイア基板111温度が600℃に到達した後、再び、温度を1100℃に向けて制御下で連続的に上昇させると共に、逆にTMGの流量を一定の割合で徐々に増加させると共に、TMGの増加に見合うTMAの流量を徐々に減少させ、Al組成比を所定供給量から0へ、Ga組成比を0から所定供給量へ徐々に変化させて、Al_xGa_{1-x}NのAl組成比を600℃の1から1100℃の0へ徐々に変化させたグレーディッド低温堆積層114を形成する。

【0084】

そして、1100℃に昇温したサファイア基板温度で、TMGの供給を止めることなく、Siドーパントを供給開始してSiドーパn-GaN層116の成長を行い、以降は、通常の3族窒化物半導体LEDの積層工程に従って、InGa_N系MQW活性層117、p-AlGa_Nクラッド層118、p-GaNコンタ

クト層 119 をこの順序で積層する。

【0085】

なお、3 族窒化物半導体の成長には、上記実施と形態と同様に、Ga 原料としてトリメチルガリウム (TMG)、Al 原料としてトリメチルアルミニウム (TMA)、In 原料としてトリメチルインジウム (TMI)、N 原料としてアンモニアを用い、p 型の Mg ドーピング原料としてビスシクロペンタジエニルマグネシウム (Cp₂Mg)、n 型の Si ドーピング原料としてモノシラン (SiH₄) を用いる。

【0086】

次に、各層の膜厚と組成について詳しく示す。すなわち、厚さ 150 μm のサファイア基板 111 の上に、バッファ層 112 を 0.03 μm、アンドープ GaN 層 113 を 5 μm、組成が GaN → Al_xGa_{1-x}N (x = 0 → 1) → AlN → Al_yGa_{1-y}N (y = 1 → 0) → GaN の順に変化するグレーデッド低温堆積層 114 を 0.05 μm、n-GaN コンタクト／クラッド層 116 を 3 μm、In_{0.05}Ga_{0.95}N 井戸層 (図示略) 0.003 μm と GaN 障壁層 (図示略) 0.006 μm からなる 20 井戸構成の InGa_N 系 MQW 活性層 117、p-Al_{0.2}Ga_{0.8}N クラッド層 118 を 0.05 μm、そして、最上部に p-GaN コンタクト層 119 を 0.15 μm 成長している。

【0087】

そして、MOCVD 装置から取り出して、n-GaN コンタクト／クラッド層 116 の一側部を、その表面から層中間部までエッチング除去し、そのエッチング除去部分上の n-GaN コンタクト／クラッド層 116 に Ti/Al 層からなる n 側電極 211 を形成する。また、p-GaN コンタクト層 119 上に Ni/Au 層からなる p 側電極 212 を形成する。この p 側電極 212 は、活性層からの光をほぼ透過するように薄膜化されている。このようにして、3 族窒化物半導体 LED が作製される。

【0088】

次に、この作製した LED にバイアスを加えたところ、発光波長 380 nm の紫外光が p 側電極を通して得られ、動作電流 20 mA での光出力は 10 mW であ

った。一方、比較のために図4に示すような従来の標準的な構造（アンドープGaN層とグレーデッド低温堆積層を持たない構造）のLEDを作製し、同バイアス条件における光出力を測定した結果、その光出力は、5mWであった。この結果、アンドープGaN層とグレーデッド低温堆積層による結晶欠陥低減の効果は、光出力にして2倍であると考えられる。

【0089】

また、本実施の形態の3族窒化物半導体LEDでは、異なる作製ロットにおいても一定のLED特性を再現性良く得られた。これは、結晶欠陥密度が小さく、膜厚の均一性、表面形態の安定性が良好な状態であることを意味している。

【0090】

本発明は、上述の第1乃至第3の実施の形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々変形して実施することができる。

【0091】

例えば、上述の実施の形態では、基板としてサファイアを使用しているが、従来から試みられてきたスピネル、Si、SiC、GaP、あるいはGaAs等を使用しても、同様の効果が期待できる。

【0092】

更に、グレーデッド低温堆積層の組成は、GaNから次第にAlの比率を増加させて行きAlNに達した後、逆にAlの比率を減少させて行きGaNに達するまで変化させたが、形成の最低温度での組成は $Al_xGa_{1-x}N$ ($0 < x \leq 1$) からなる中間の組成であっても結晶欠陥の低減が期待できる。ただし、温度に関しては、成長温度の最低を500～650℃まで下げて成長させることは重要である。

【0093】

そして、上記実施の形態では、グレーデッド低温堆積層は、膜厚に比例して3族原料ガス流量の一方を減少、他方を増加させる方法で形成し、成長最低温度で逆転させて、組成は成長最低温度を境界として、膜厚に対してそれぞれほぼ直線的に変化させたが、成長最低温度を境界として、組成はそれぞれ指数関数的な変化、あるいはそれぞれ階段状の変化等が可能であり、更には、これらの変化を

組合せた変化等を採用しても同様の効果が得られる。

【0094】

また、上記実施の形態では、グレーディッド低温堆積層は、積層構造中に1層のみ作製したが、複数層作製しても良い。複数の積層法は、グレーディッド低温堆積層の直上にグレーディッド低温堆積層を連続した配置でも良いし、グレーディッド低温堆積層の直上には高温成長のn型またはアンドープのGa_{0.9}N層を成長させて、その上にグレーディッド低温堆積層を配置しても良い。

【0095】

MOCVDの原料として、Gaはトリメチルガリウムの他にトリエチルガリウム、Alはトリメチルアルミニウムの他にトリエチルアルミニウム、Inはトリメチルインジウムおよびトリエチルインジウム、Nはアンモニアの他にヒドラジン等を用いても、同様な効果が期待できる。

【0096】

本発明の実施の形態では、半導体装置としてLEDについて例示したが、LDであっても、その効果は同様に得られる。

【0097】

【発明の効果】

本発明の3族窒化物半導体の積層構造によれば、一回の成長工程で、積層表面が平坦で、膜厚が制御され、再現性良く結晶欠陥の低減ができる。また、本発明の積層構造の製造方法により得られた積層構造では、結晶欠陥が極めて少ない。

【0098】

従って、この積層構造を用いたLED、LD等の3族窒化物の半導体装置では、高い発光効率が得られる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る3族窒化物半導体の積層構造図、及びそれを実現するための成長プロセスのチャート。

【図2】 本発明の第1の実施の形態に係るグレーディッド低温堆積層の膜厚とエッチピット密度の関係を表すグラフ。

【図3】 本発明の第1の実施の形態に係るグレーディッド低温堆積層の成長基

板温度とエッチピット密度の関係を表すグラフ。

【図 4】 代表的な 3 族窒化物半導体 LED を模式的に示す構造図。

【図 5】 代表的な 3 族窒化物半導体 LED における下地層としての一般的な積層構造を示す図。

【図 6】 本発明の第 2 の実施の形態に係る 3 族窒化物半導体 LED における下地層としての積層構造を示す図。

【図 7】 本発明の第 2 の実施の形態に係る積層構造のエッチピット密度と従来の代表的な積層構造のエッチピット密度と比較するグラフ。

【図 8】 グレーディッド低温堆積層と Si ドープ GaN 層間にアンドープ GaN 層を介在させた積層構造におけるアンドープ GaN 層の効果を説明するための図。

【図 9】 本発明の第 3 の実施の形態に係る 3 族窒化物半導体 LED を模式的に示す構造図。

【図 10】 従来の 3 族窒化物半導体の積層構造を示す図。

【図 11】 従来の 3 族窒化物半導体の積層構造図、及びそれを実現するための成長プロセスのチャート。

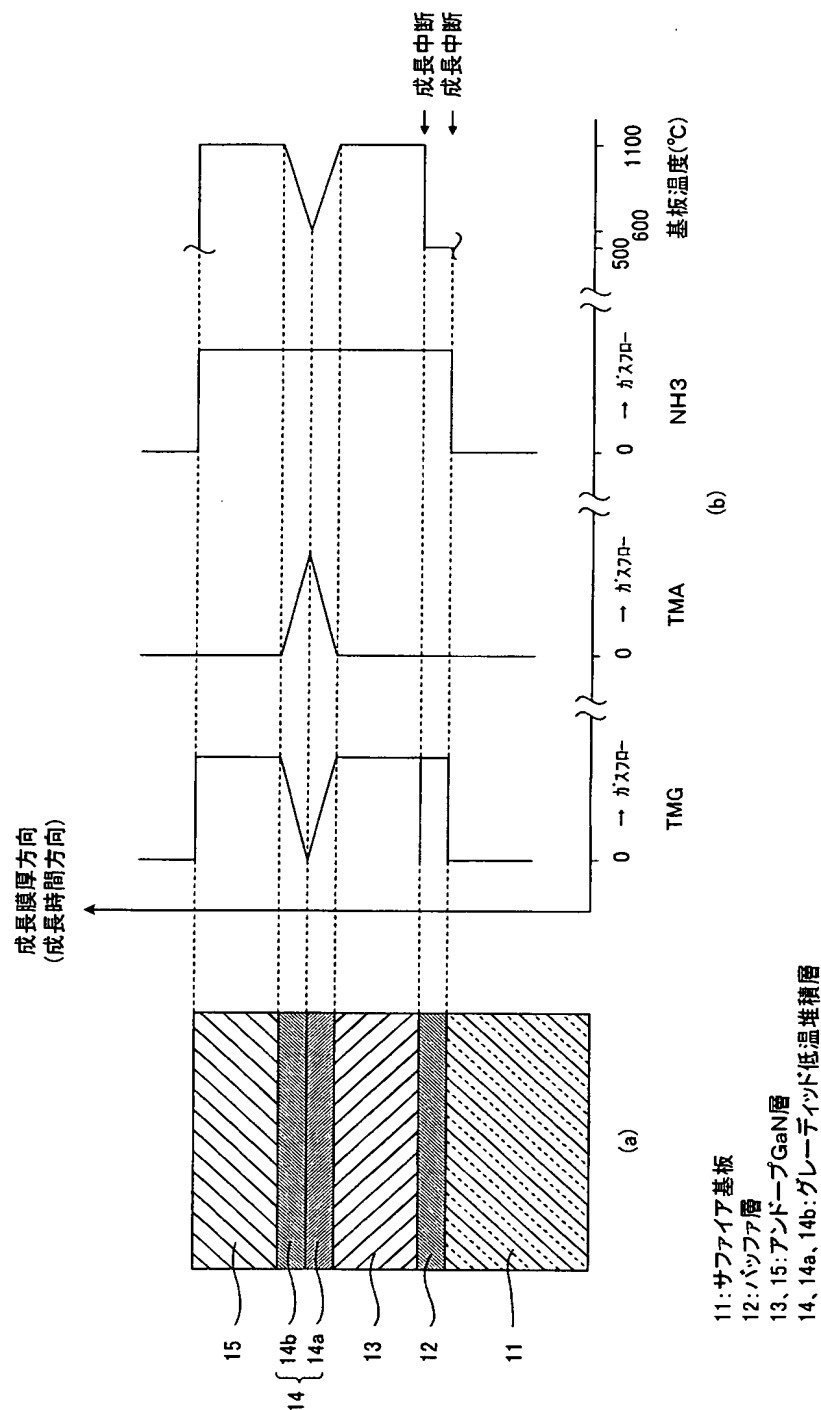
【符号の説明】

11、21、31、41、51、61、111、151 サファイア基板
12、22、32、42、52、62、112、152 バッファ層
13、15、33、43、45、53、63、65、113 アンドープ GaN 層
14、14a、14b、34、44、114 グレーディッド低温堆積層
26、36、46 n-GaN 層
64 低温堆積層
116、156 n-GaN コンタクト／クラッド層
117、157 InGa_N 系 MQW 活性層
118、158 p-AlGa_N クラッド層
119、159 p-GaN コンタクト層
211、251 n 側電極

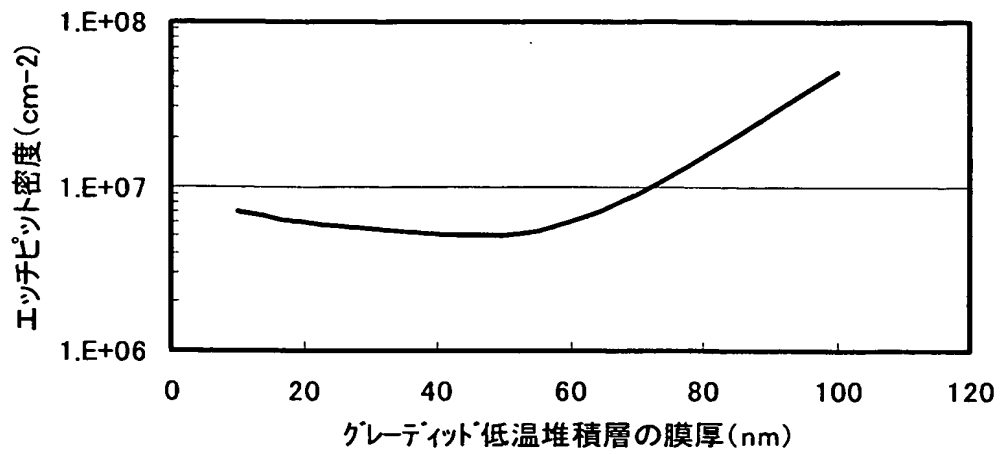
2 1 2、2 5 2 p 側電極

【書類名】 図面

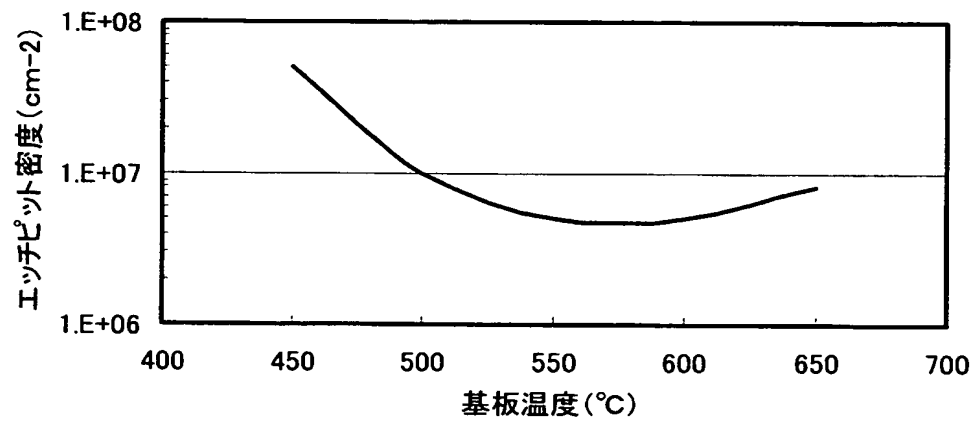
【図 1】



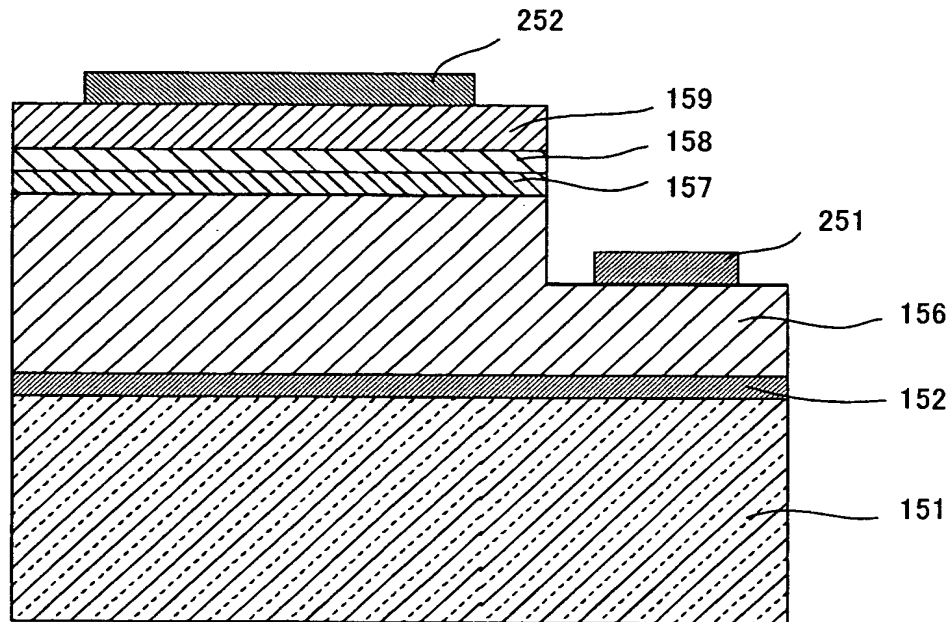
【図 2】



【図 3】

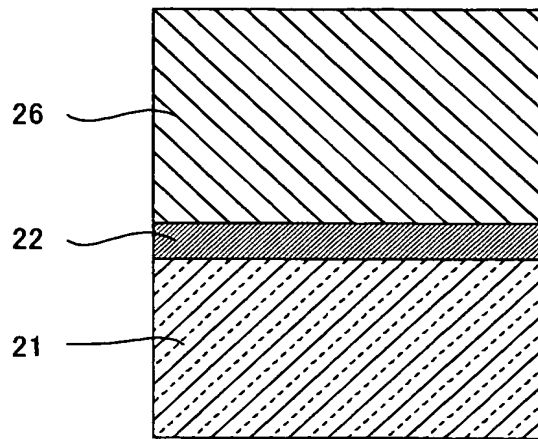


【図 4】



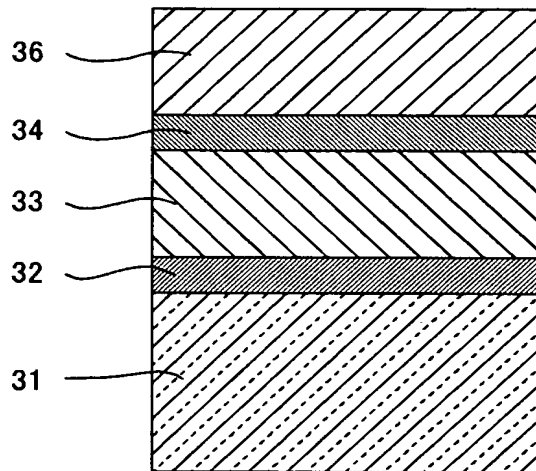
- | | | | |
|-----|------------------|-----|-------------|
| 151 | サファイア基板 | 152 | バッファ層 |
| 156 | n-GaNコンタクト／クラッド層 | | |
| 157 | InGaN系MQW活性層 | | |
| 158 | p-AlGaNクラッド層 | 159 | p-GaNコンタクト層 |
| 251 | n側電極 | 252 | p側電極 |

【図 5】



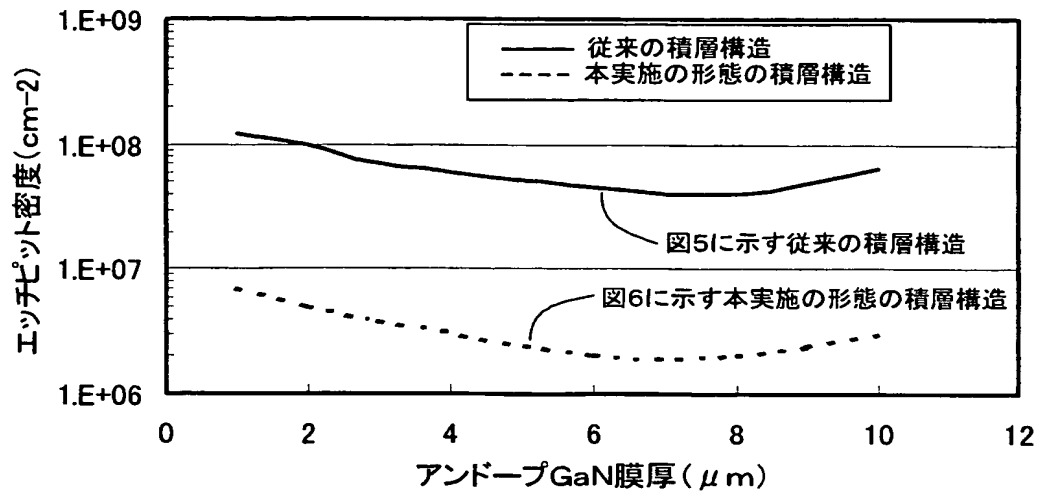
- 21 サファイア基板
- 22 バッファ層
- 26 n-GaN層

【図 6】

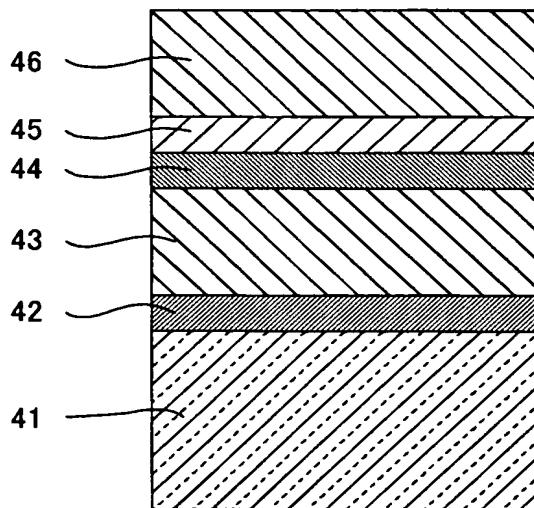


- 31 サファイア基板
- 32 バッファ層
- 33 アンドーパGaN層
- 34 グレーディッド低温堆積層
- 36 n-GaN層

【図 7】

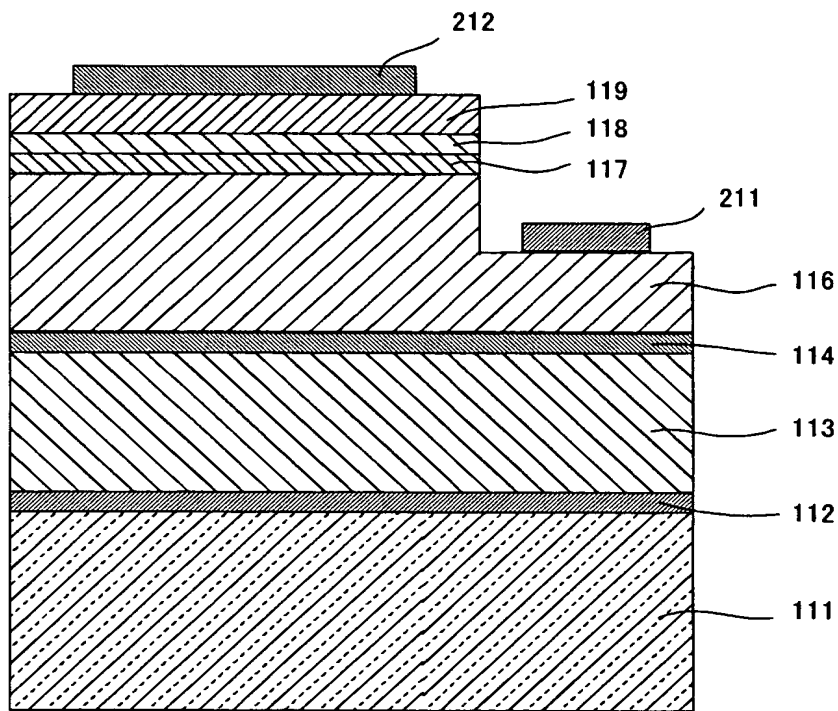


【図 8】



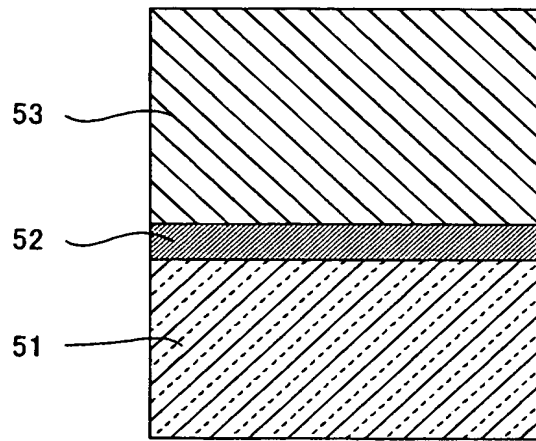
- 41 サファイア基板
- 42 バッファ層
- 43、45 アンドープGaN層
- 44 グレーディッド低温堆積層
- 46 n-GaN層

【図 9】



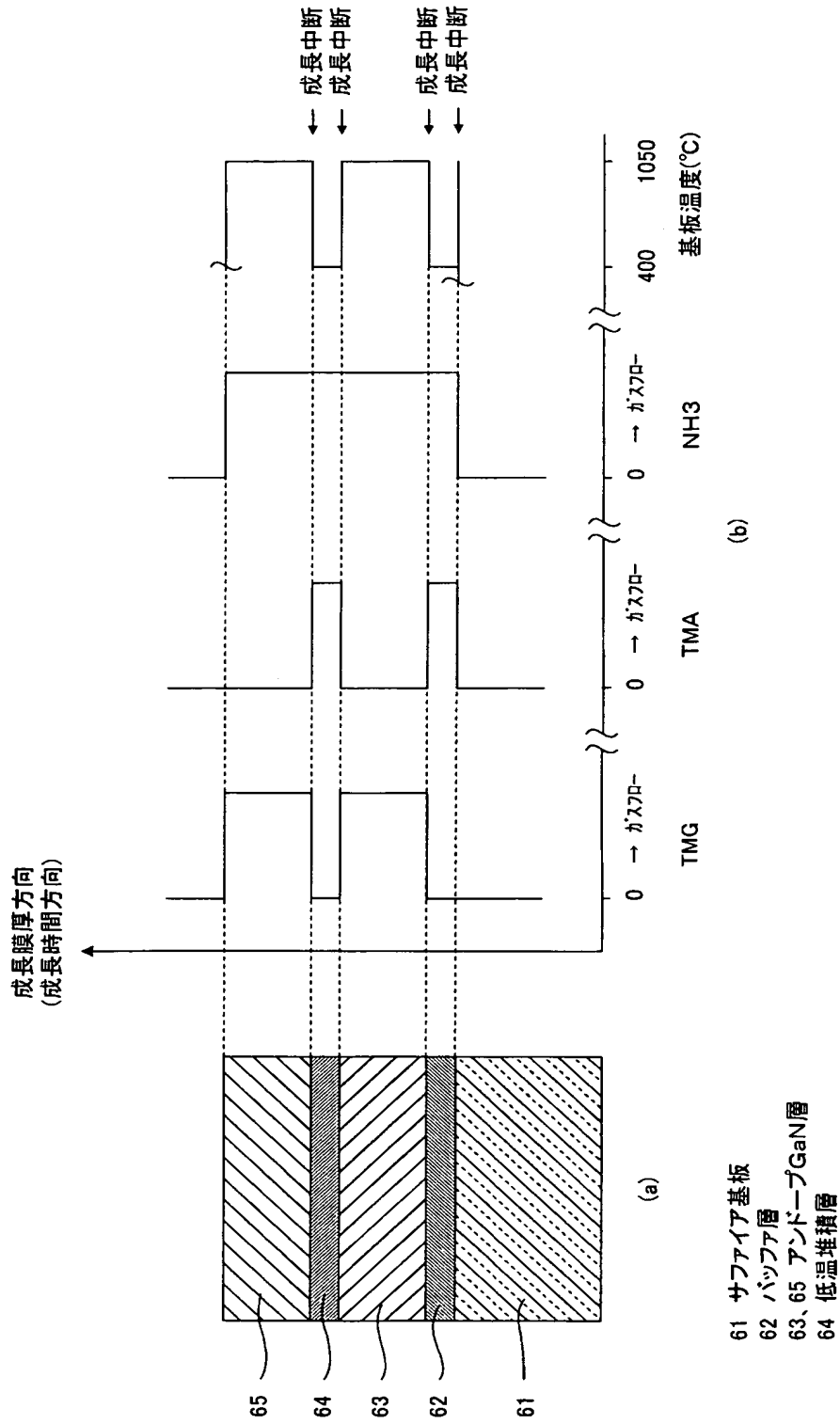
- | | | | |
|-----|------------------|-----|--------------|
| 111 | サファイア基板 | 112 | バッファ層 |
| 113 | アンドープGaN層 | 114 | グレーディッド低温堆積層 |
| 116 | n-GaNコンタクト／クラッド層 | | |
| 117 | InGaN系MQW活性層 | | |
| 118 | p-AlGaNクラッド層 | 119 | p-GaNコンタクト層 |
| 211 | n側電極 | 212 | p側電極 |

【図 10】



- 51 サファイア基板
- 52 バッファ層
- 53 アンダーペーストGaN層

【図 11】



【書類名】 要約書

【要約】

【課題】 一回の結晶成長工程で、表面が平坦で、膜厚が制御され、再現性良く結晶欠陥の低減を実現できる 3 族窒化物半導体の積層構造、その製造方法、及び 3 族窒化物半導体装置を提供することにある。

【解決手段】 単結晶基板（サファイア基板 11）と、この単結晶基板の主面上に形成された 3 族窒化物バッファ層 12 と、この 3 族窒化物バッファ層上に形成された第 1 の 3 族窒化物層（アンドープ GaN 層 13）と、この 3 族窒化物層上に形成され、且つ 3 族元素組成が連続的に変化された窒化物からなるグレーディッド低温堆積層 14 と、このグレーディッド低温堆積層上に形成された第 2 の 3 族窒化物層（アンドープ GaN 層 15）とを有することを特徴とする 3 族窒化物半導体の積層構造を形成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 9 3 8 7
受付番号	5 0 3 0 0 4 6 5 9 3 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月24日
-------	-------------

次頁無

特願 2 0 0 3 - 0 7 9 3 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝